**Лабораторна робота №4**

з курсу “Архітектура обчислювальних систем та комп’ютерна схемотехніка”

Тема:” Побудова і дослідження елементів пам’яті на базі тригерних схем”

Виконав Студент групи ПМІ-11

Яцуляк Андрій

**Тема.** «Побудова і дослідження елементів пам’яті на базі тригерних схем»

**Мета роботи.** З використанням можливостей пакета EWB побудувати логічні схеми елементів пам’яті (RS-тригер, D-тригер, JK-тригер, Т-тригер). Перевірити роботу схем, скласти таблиці істинності та створити макроелементи кожної схеми.

**Хід роботи**

1. За допомогою логічних елементів І, НЕ, АБО синтезував у робочому полі комбінаційні схеми тригерів.

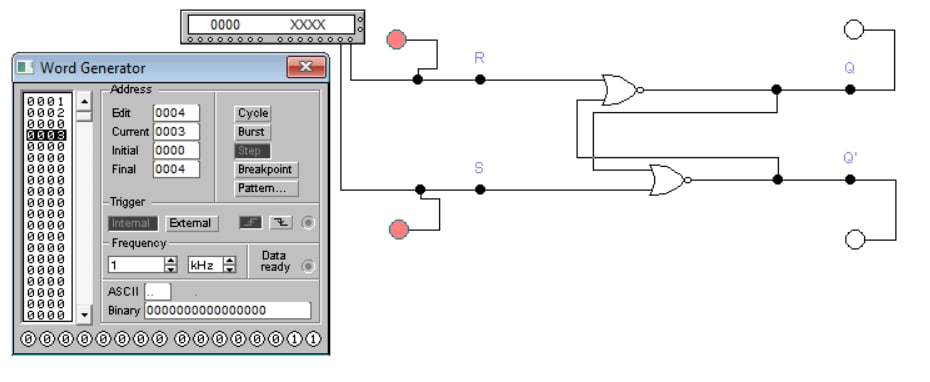
2. Входи синтезованих схем приєднав до вихідних клем молодших розрядів генератора слів, а виходи – до аналізатора логічних рівнів.

3. Деталізував зображення генератора слів (натиснув на зображенні на праву клавішу мишки і виконав пункт меню Open). На відповідних місцях комбінаційної матриці генератора слів записав всі можливі комбінації вхідних сигналів.

4. Синхронізувальний імпульс подавав від клеми Data Ready генератора слів. Під час дослідження D-тригера на вхід D подавав серію з логічних 1 та 0. Під час дослідження Т-тригера на вхід Т подавав логічні 1.

5. За допомогою клавіші STEP генератора слів покроково перебрав усі комбінації вхідних сигналів. Результати роботи схеми спостерігав за допомогою аналізатора логічних рівнів і записав їх у таблицю істинності.

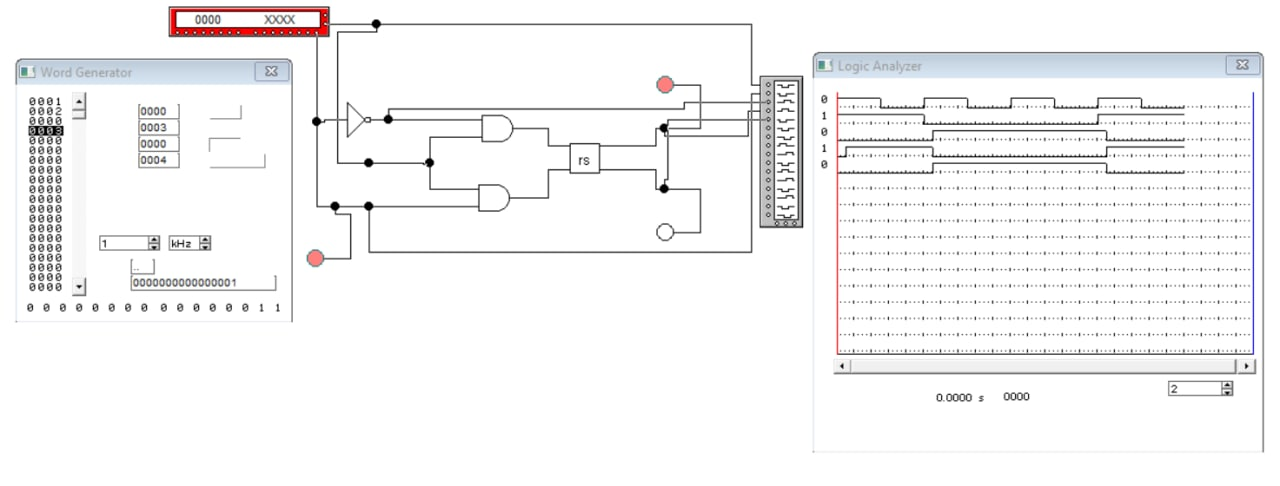
6. Створив макроелементи – JK-тригер, D-тригер, T-тригер. Записав у пам’ять файли зі створеними макроелементами.



1. Rs-тригер

Таблиця істинності

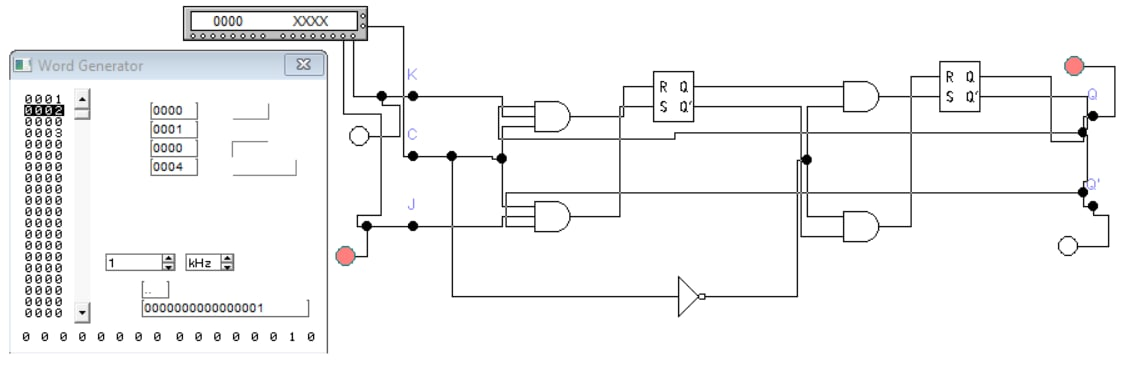
|  |  |  |  |
| --- | --- | --- | --- |
| **S** | **R** | **Q** | **Q’** |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 |



2. D-тригер

Таблиця істинності

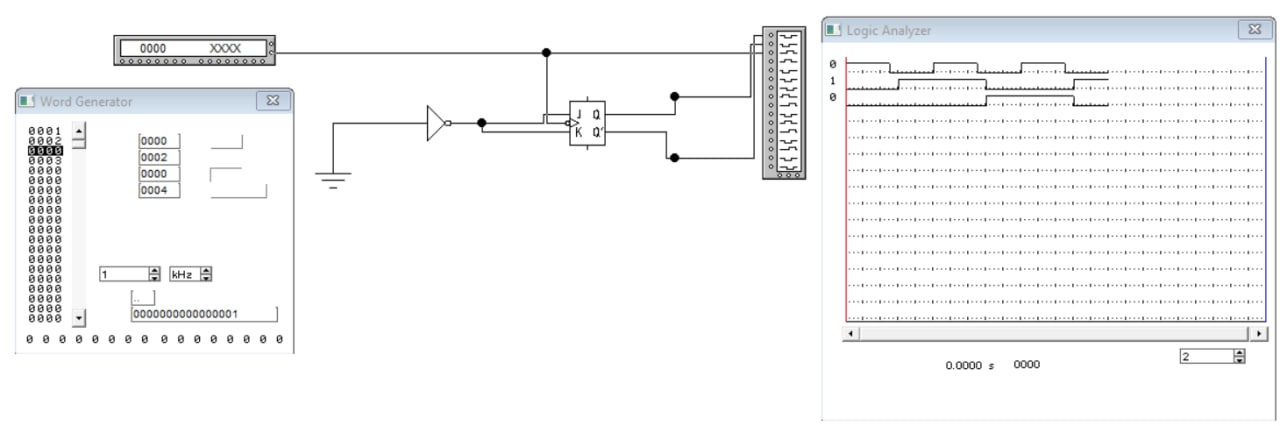
|  |  |  |
| --- | --- | --- |
| **D** | **Q** | **Q’** |
| 0 | 1 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 0 | 1 |



3. JK-тригер

Таблиця істинності

|  |  |  |  |
| --- | --- | --- | --- |
| **J** | **K** | **Q** | **Q’** |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |



4. T-тригер

Таблиця істинності

|  |  |
| --- | --- |
| **Q** | **Q’** |
| 1 | 0 |
| 0 | 1 |
| 1 | 0 |
| 0 | 1 |

**Висновок:** З використанням можливостей пакета EWB побудував логічні схеми елементів пам’яті (RS-тригер, D-тригер, JK-тригер, Т-тригер). Перевірив роботу схем, склав таблиці істинності та створив макроелементи кожної схеми.